

WEST

[Help](#)[Logout](#)

Main Menu	Search Form	Result Set	Show S Numbers	Edit S Numbers
---------------------------	-----------------------------	----------------------------	--------------------------------	--------------------------------

[First Hit](#)[Previous Document](#)[Next Document](#)

Full	Title	Citation	Front	Review	Classification	Date	Reference	Claims	KMC
----------------------	-----------------------	--------------------------	-----------------------	------------------------	--------------------------------	----------------------	---------------------------	------------------------	---------------------

Document Number 1

Entry 1 of 1

File: JPAB

Jan 16, 1998

PUB-NO: JP410010578A

DOCUMENT-IDENTIFIER: JP 10010578 A

TITLE: LIQUID CRYSTAL DISPLAY PANEL

PUBN-DATE: January 16, 1998

INVENTOR-INFORMATION:

NAME

CHIYOU, KOUYUU

TERAMOTO, SATOSHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

SEMICONDUCTOR ENERGY LAB CO LTD N/A

APPL-NO: JP08185636

APPL-DATE: June 25, 1996

INT-CL (IPC): G02F 1/136; H01L 29/786

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent a peripheral driving circuit from being broken owing to pressure received from a seal material by projecting a projection part (lamine spacer), formed by laminating a material constituting a thin film transistor, more than a part where a thin film transistor constituting a peripheral driving circuit is arranged.

SOLUTION: A resin film is formed as a 3rd inter-layer insulating film 126 and a contact hole is formed. Further, an ITO film is formed by sputtering over the entire surface and patterned to form an ITO pattern 127 and a pixel electrode (ITO), and a pixel electrode is brought into contact with a drain electrode 121. Here, auxiliary capacity is formed at the part where a pixel electrode 128 and a BM(black matrix) 125 overlap with each other. Further, a pattern 127 is left as a dummy even at a laminate spacer part 117. Consequently, the laminate spacer part is made into the part which is laminated most thickly in the whole. Namely, all constituent elements are laminated and present as the projection part which has more than certain area.

COPYRIGHT: (C) 1998, JPO

Main Menu	Search Form	Result Set	Show S Numbers	Edit S Numbers
---------------------------	-----------------------------	----------------------------	--------------------------------	--------------------------------

[First Hit](#)[Previous Document](#)[Next Document](#)

Full	Title	Citation	Front	Review	Classification	Date	Reference	Claims	KMC
----------------------	-----------------------	--------------------------	-----------------------	------------------------	--------------------------------	----------------------	---------------------------	------------------------	---------------------

[Help](#)[Logout](#)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-10578

(43)公開日 平成10年(1998)1月16日

(51)IntCl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
H 0 1 L 29/786			H 0 1 L 29/78	6 1 2 B

審査請求 未請求 請求項の数4 F D (全 7 頁)

(21)出願番号 特願平8-185636

(22)出願日 平成8年(1996)6月25日

(71)出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72)発明者 張 宏男

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 寺本 聡

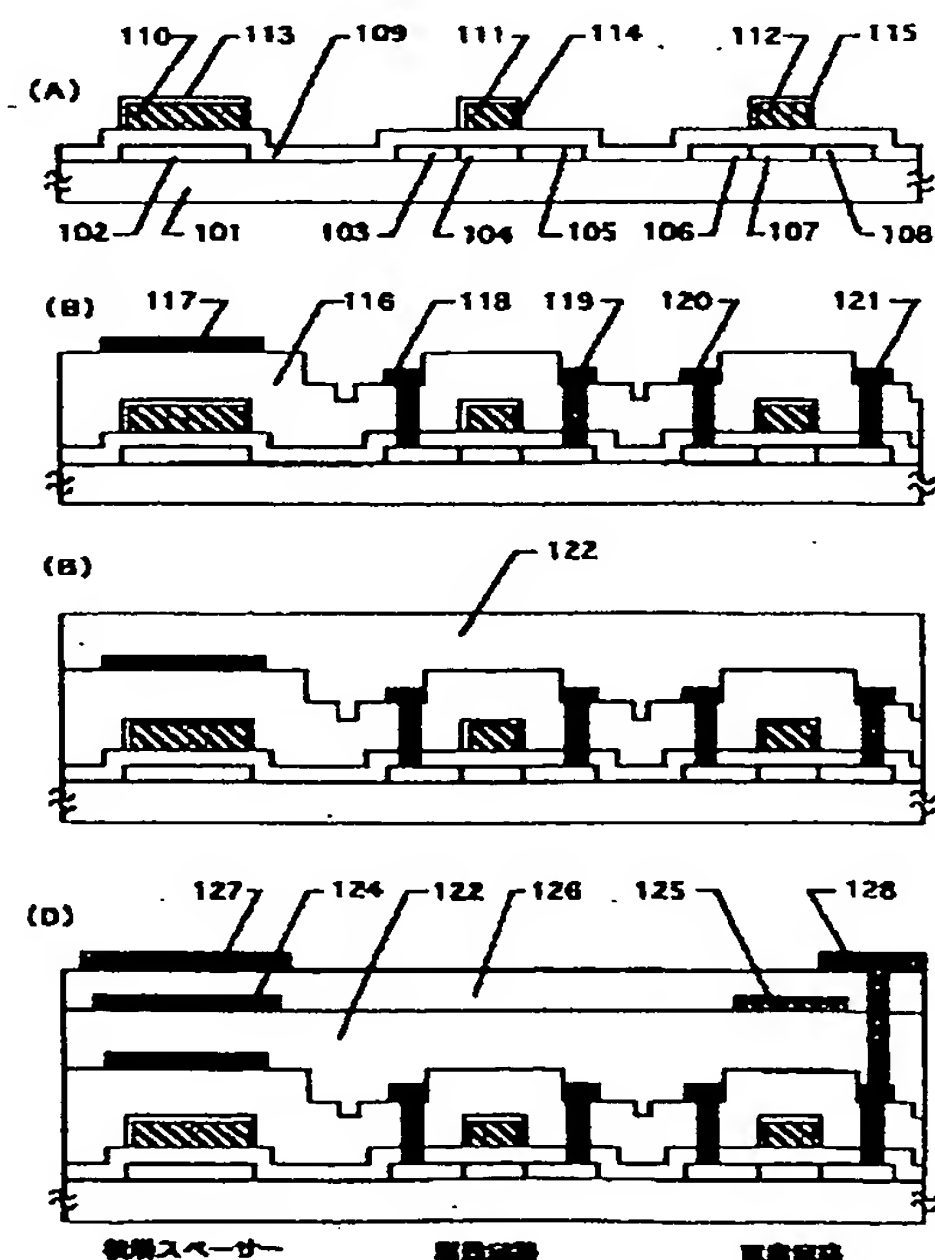
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54)【発明の名称】 液晶表示パネル

(57)【要約】

【目的】 周辺駆動回路を一体化したアクティブマトリクス型の液晶表示パネルにおいて、シール部からの圧力によって周辺駆動回路が破壊されてしまうことを抑制する。

【構成】 周辺駆動回路部に薄膜トランジスタを構成する各種薄膜材料を積層した積層スペーサー部を配置する。このようにすることで、周辺駆動回路上にシール部を配置した構造としても、シール材中のスペーサーの圧力が積層スペーサーに集中して加わる状態とすることができる。そして、周辺駆動回路を構成する薄膜トランジスタが破壊されてしまうことを抑制することができる。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】アクティブマトリクス回路と、
 周辺駆動回路と、
 を同一基板上に集積化した構成を有し、
 前記周辺駆動回路上にはシール部が配置され、
 前記周辺駆動回路には薄膜トランジスタを構成する材料を積層した凸部が形成され、
 前記凸部は前記周辺駆動回路を構成する薄膜トランジスタが配置された部分よりも突出していることを特徴とする液晶表示パネル。

【請求項2】アクティブマトリクス回路と、
 周辺駆動回路と、
 を同一基板上に集積化した構成を有し、
 前記周辺駆動回路上にはシール部が配置され、
 前記周辺駆動回路には薄膜トランジスタ以外に薄膜トランジスタを構成する材料を積層した凸部が形成され、
 前記凸部は前記周辺駆動回路を構成する薄膜トランジスタが配置された部分よりも高さが高いことを特徴とする液晶表示パネル。

【請求項3】アクティブマトリクス回路と、
 周辺駆動回路と、
 を同一基板上に集積化した構成を有し、
 前記周辺駆動回路上にはシール部が配置され、
 前記周辺駆動回路には薄膜トランジスタ以外に薄膜トランジスタを構成する材料を積層した凸部が形成され、
 前記凸部はスペーサーとしての機能を有していることを特徴とする液晶表示パネル。

【請求項4】アクティブマトリクス回路と、
 周辺駆動回路と、
 を同一基板上に集積化した構成を有し、
 前記周辺駆動回路上にはシール部が配置され、
 前記周辺駆動回路には薄膜トランジスタ以外に薄膜トランジスタを構成する材料を積層した部分が形成され、
 前記薄膜トランジスタを構成する材料を積層した部分は前記周辺駆動回路を構成する薄膜トランジスタが配置された部分よりも積層された層の数が多いことを特徴とする液晶表示パネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本明細書で開示する発明は、
 周辺駆動回路を一体化したアクティブマトリクス型の液晶表示パネルの構成に関する。またそのパネルを利用した各種装置に関する。

【0002】従来より、アクティブマトリクス型の液晶表示パネルが知られている。これは、ガラス基板や石英基板上にアクティブマトリクス回路と該回路を駆動するための周辺駆動回路とを集積化した構成を有している。

【0003】このような構成においては、画面表示に不要な部分の面積を極力小さくするための工夫がされている。即ち、周辺駆動回路に占有される面積を極力小さく

するような努力がされている。

【0004】一方、液晶表示パネルにおいては、一對の基板間に液晶を保持するために周辺部にシール材と称される液晶を閉じ込めるための封止材料が配置されている。

【0005】上記の画面表示に不要な部分の面積を極力小さくする工夫の一つとして、上記シール材の占める面積を削減することも求められている。

【0006】

- 10 【発明が解決しようとする課題】周辺駆動回路を一体化したアクティブマトリクス型の液晶表示パネルにおいては、周辺駆動回路に発生する不良が問題となる。

【0007】特に周辺駆動回路上にシール材を配置した構成では、上記周辺駆動回路における不良の発生が多くなる。

【0008】この問題は以下の様な理由で発生する。即ち、シール材中には、基板間隔を維持するためのフィラーと呼ばれる一種のスペーサーが含まれている。

- 20 【0009】一般に周辺駆動回路は非常に高い集積度を有している。このような状況においては、上記フィラーの直下に存在することになる周辺駆動回路の薄膜トランジスタや配線にフィラーからの圧力（この圧力は局所的に極めて大きなものと推定される）が加わり、断線やコンタクト不良、さらには半導体層の分断が発生し易くなる。

- 30 【0010】一方、アクティブマトリクス領域においてもスペーサーと呼ばれる球状の基板間隔保持手段が利用されるが、アクティブマトリクス領域は、集積度が低いので、スペーサーの存在による不良の発生は周辺駆動回路問題とならない。

【0011】本明細書で開示する発明は、周辺駆動回路を内蔵したアクティブマトリクス型の液晶表示パネルにおいて、画素マトリクス回路の領域以外の面積を極力削減した構成を提供することを課題とする。

【0012】そして上記構成を前提として、シール材から受ける圧力によって周辺駆動回路が破壊されてしまわないような構成を提供することを課題とする。

【0013】

- 40 【課題を解決するための手段】本明細書で開示する発明の一つは、図1にその具体的な作製工程を示すように、アクティブマトリクス回路（画素回路）と、周辺駆動回路と、を同一基板101上に集積化した構成を有し、前記周辺駆動回路上にはシール部（図2の206がシール材）が配置され、前記周辺駆動回路には薄膜トランジスタを構成する材料を積層した凸部（積層スペーサー）が形成され、前記凸部は前記周辺駆動回路を構成する薄膜トランジスタが配置された部分よりも突出（図1（D）参照）していることを特徴とする。

- 50 【0014】他の発明の構成は、図1にその具体的な作製工程を示すように、アクティブマトリクス回路（画素

回路)と、周辺駆動回路と、を同一基板101上に集積化した構成を有し、前記周辺駆動回路にはシール部(図2の206がシール材)が配置され、前記周辺駆動回路には薄膜トランジスタ以外に薄膜トランジスタを構成する材料を積層した凸部(積層スペーサー)が形成され、前記凸部は前記周辺駆動回路を構成する薄膜トランジスタが配置された部分よりも高さが高いこと(図1(D)参照)を特徴とする。

【0015】他の発明の構成は、図1にその具体的な作製工程を示すように、アクティブマトリクス回路(画素回路)と、周辺駆動回路と、を同一基板101上に集積化した構成を有し、前記周辺駆動回路にはシール部(図2の206がシール材)が配置され、前記周辺駆動回路には薄膜トランジスタ以外に薄膜トランジスタを構成する材料を積層した凸部が形成され、前記凸部はスペーサーとしての機能を有していることを特徴とする。

【0016】他の発明の構成は、図1にその具体的な作製工程を示すように、アクティブマトリクス回路(画素回路)と、周辺駆動回路と、を同一基板101上に集積化した構成を有し、前記周辺駆動回路にはシール部(図2の206がシール材)が配置され、前記周辺駆動回路には薄膜トランジスタ以外に薄膜トランジスタを構成する材料を積層した部分(積層スペーサー)が形成され、前記薄膜トランジスタを構成する材料を積層した部分は前記周辺駆動回路を構成する薄膜トランジスタが配置された部分よりも積層された層の数が多いこと(図1(D)参照)を特徴とする。

【0017】

【発明の実施の形態】図1(D)や図2に示すように、集積度の高い周辺駆動回路の駆動回路や画素回路を構成する各種薄膜を全て積層した凸部(積層スペーサー)を形成することにより、この部分にシール材206内のスペーサー204からの圧力を集中させ、周辺駆動回路を構成する薄膜トランジスタや配線が損傷してしまうことを抑制することができる。

【0018】

【実施例】

【実施例1】本実施例では、周辺駆動回路を一体化したアクティブマトリクス型の画液表示パネルを示す。図1以下に作製工程を示す。

【0019】本実施例では、画素回路(アクティブマトリクス回路)と、画素回路を駆動するための周辺駆動回路とで構成される液晶パネルを構成する場合の例を示す。周辺駆動回路というのは、例えば、シフトレジスタ回路、バッファ回路、サンプリング回路とで構成される。

【0020】まずガラス基板101上に図示しない下地膜を成膜する。基板としては石英基板を利用することもできる。ここでは、下地膜として、酸化珪素膜を3000Åの厚さにプラズマCVD法で成膜する。

【0021】次に図示しない非晶質珪素膜を500Åの厚さに減圧熱CVD法でもって成膜する。

【0022】次にレーザー光の照射を行い、上記非晶質珪素膜を結晶化させ、結晶性珪素膜を得る。結晶性珪素膜を得る方法としては、他の手段を利用するのもよい。

【0023】そして得られた結晶性珪素膜をバターンニングすることにより、102で示されるパターンと、103~105で示されるパターンと、106~108で示されるパターンとを形成する。

【0024】ここで、102で示されるパターンが積層スペーサーを構成する半導体パターンとなる。また、103~105で示されるパターンが周辺駆動回路に配置される薄膜トランジスタの活性層パターンとなる。また、106~108で示されるパターンが画素回路(アクティブマトリクス回路)に配置される薄膜トランジスタの活性層パターンとなる。

【0025】積層スペーサーというのは、TFT側基板において、意図的に形成された全ての構成要素を積層した凸部である。この積層スペーサーを周辺駆動回路に配置すると、基板間を保持するスペーサーからの圧力がこの積層スペーサーに集中して加わる。そして、周辺駆動回路を構成する薄膜トランジスタや配線に加わる圧力を緩和させることができる。

【0026】本実施例においては、図示される薄膜トランジスタを全てNチャネル型の薄膜トランジスタとする。一般に、周辺駆動回路はPチャネル型の薄膜トランジスタとNチャネル型の薄膜トランジスタとでもって構成される。また画素回路には、PまたはNチャネル型の薄膜トランジスタが配置される。

【0027】半導体層のバターンニングが終了したら、ゲイト電極(およびそこから延在したゲイト配線)を構成するためのアルミニウム膜(図示せず)を成膜する。ここでは、スカンジウムを0.18重量%含有させたアルミニウムターゲットを利用して、スパッタ法によりアルミニウム膜を4000Åの厚さに成膜する。

【0028】そしてこのアルミニウム膜をバターンニングすることにより、110、111、112で示されるアルミニウムパターンを形成する。ここで、110は積層スペーサーを構成するアルミニウムパターンである。111は周辺駆動回路に配置される薄膜トランジスタのゲイト電極である。112は画素回路に配置される薄膜トランジスタのゲイト電極である。

【0029】次に得られたアルミニウムパターンを陽極とした陽極酸化を行うことにより、陽極酸化膜113、114、115を形成する。ここでは、陽極酸化膜の厚さを1000Åと厚さとする。こうして、図1(A)に示す状態を得る。

【0030】陽極酸化膜の代わりに金属膜た窒化珪素膜を利用することができる。また陽極酸化の代わりに、酸

10

20

30

40

50

化性雰囲気中でのプラズマ処理により酸化膜（プラズマ酸化膜）を形成するのでもよい。

【0031】図1（A）に示す状態を得たら、第1の層間絶縁膜116として、窒化珪素膜をプラズマCVD法でもって3000Åの厚さに成膜する。（図1（B））

【0032】そして、コンタクトホール形成を行い、チタン膜とアルミニウム膜とチタン膜との積層膜でなる金属膜をスパッタ法でもって成膜する。

【0033】そしてこの3層でなる金属膜をパターニングすることにより、117で示されるパターンと、118で示されるソース電極、119で示されるドレイン電極、120で示されるソース電極、121で示されるドレイン電極とを形成する。ここで、117で示されるパターンは、積層スペーサーを構成するためのものである。こうして図1（B）に示す状態を得る。

【0034】次に第2の層間絶縁膜として樹脂層122を15000Åの厚さに形成する。この樹脂層122はポリイミドで構成する。また形成方法は、スピンコート法を利用する。樹脂層122は、その表面を平坦化できるという特徴がある。

【0035】次にスパッタ法によりチタン膜を3000Åの厚さに成膜し、これをパターニングすることにより、124で示されるパターンと125で示されるパターンを形成する。

【0036】ここで、124で示されるパターンは、積層スペーサーを構成するためのチタン膜パターンである。125は、BM（ブラックマトリクス）である。このBMは、画素回路の薄膜トランジスタを遮光する機能も有している。

【0037】次に第3の層間絶縁膜126として、樹脂膜を形成する。ここではポリイミドを材料として利用し、スピンコート法により3000Åの厚さに樹脂層126を形成する。

【0038】そしてコンタクトホール形成を行う。さらにITO膜を全面にスパッタ法により1000Åの厚さに成膜する。そしてこれをパターニングし、127で示されるパターンと128で示されるITOでなる画素電極を形成する。画素電極はドレイン電極121にコンタクトする。

【0039】ここで、画素電極128とBM（ブラックマトリクス）125とが重なる部分に補助容量が形成される。こうして図1（D）に示す状態を得る。

【0040】また、積層スペーサー部にもITOパターン127をダミーで残存させる。このようにすることで、積層スペーサー部を全体の中で一番厚く積層された部分とすることができる。即ち、構成要素の全てが積層され、一定面積以上を有した凸部として存在させることができる。こうして図1（D）に示す状態を得る。

【0041】次に図2に示すように対向ガラス基板201（または石英基板）を用意する。対向ガラス基板20

1には、対向電極202、配向膜203を形成する。

【0042】206で示されるのはシール材である。204、205で示されるのは、シール材内に含まれているスペーサーである。207は液晶である。液晶207は、シール材206によって、液晶セル内に封止される。

【0043】図2に示すような構成においては、スペーサー204、205からの圧力は積層スペーサー部に集中して加わる。これは、積層スペーサー部がある程度の面積を有した最も盛り上がった部分であるからである。

【0044】積層スペーサー部に匹敵する高さ（厚さ）を有するのは、画素部分のBMと画素電極とが重なった部分である。しかし、その面積は小さく、また画素回路は集積度が高くないので、スペーサー208から受ける圧力による、配線の断線やTFTの不良は問題とはならない。

【0045】図2に示すような構成とする場合に特に有用なのは、集積度の高い周辺駆動回路部における断線やTFTの動作不良を防げることである。

20 【0046】以上示したように、積層スペーサーを設けることにより、周辺駆動回路一体型のアクティブマトリクス型の液晶表示パネルにおいて、周辺駆動回路部にシール部を重ねて配置した構造としても、シール材中に含まれるスペーサーによって受ける圧力により、周辺駆動回路が損傷してしまうことを抑制することができる。

【0047】〔実施例2〕本実施例は、周辺駆動回路以外に各種演算回路やメモリー回路を同一基板上に集積化した構造に本明細書で開示する発明を利用する場合の例を示す。

30 【0048】周辺駆動回路一体型の液晶表示パネル装置をさらに発展させた構造として、システムオンパネルと呼ばれる構造が提案されている。これは、各種演算回路やメモリー回路をもアクティブマトリクス回路や周辺駆動回路に加えて同一基板上に集積化した構造を有している。

【0049】この構造は、情報処理端末としての機能を1枚のガラス基板上に集積化してしうことにより、情報処理端末をより小型化しようとするためのものである。

40 【0050】このような構造においても、装置を小型するために、画素回路（アクティブマトリクス回路）以外の領域を削減することが求められる。従って、シール部と各種集積回路（この集積回路は各種演算回路やメモリー回路を構成する）とが重なった構造が必要とされる。

【0051】このような場合に、実施例1で示すような積層スペーサーを配置することにより、集積度の高い各種演算回路やメモリー回路を構成する集積回路がシール材料中のスペーサーからの圧力により破壊されることを防ぐことができる。

50 【0052】〔実施例3〕本明細書に開示する発明は、周辺駆動回路を一体化したアクティブマトリクス型の液

晶表示パネルを利用した各種装置に組み込むことができる。

【0053】周辺駆動回路を一体化したアクティブマトリクス型の液晶表示パネルにおいては、周辺駆動回路に高い集積度が要求されるので、本明細書で開示する発明を利用することは非常に有用である。

【0054】図3(A)に示すのは、デジタルスチールカメラや電子カメラ、または動画を扱うことができるビデオムービーと称される撮影装置である。

【0055】この装置は、カメラ部2002に配置されたCCDカメラ（または適当な撮影手段）で撮影した画像を電子的に保存する機能を有している。そして撮影した画像を本体2001に配置された液晶表示パネル2003に表示する機能を有している。装置の操作は、操作ボタン2004によって行われる。

【0056】本明細書に開示する発明を利用した場合、液晶表示パネルの画像が表示されない領域を極力小さくすることができるので、装置全体の小型化を図ることができる。

【0057】図3(B)に示すのは、携帯型のパーソナルコンピュータ（情報処理装置）である。この装置は、本体2101に装着された開閉可能なカバー（蓋）2102に液晶表示パネル2104が備えられ、キーボード2103から各種情報を入力したり、各種演算操作を行うことができる。

【0058】図3(C)に示すのは、カーナビゲーションシステム（情報処理装置）にフラットパネルディスプレイを利用した場合の例である。カーナビゲーションシステムは、アンテナ部2304と液晶表示パネル2302を備えた本体から構成されている。

【0059】ナビゲーションに必要とされる各種情報の切り換えは、操作ボタン2303によって行われる。一般には図示しないリモートコントロール装置によって操作が行われる。

【0060】図3(D)に示すのは、投射型の画像表示装置の例である。図において、光源2402から発せられた光は、液晶表示パネル2403によって光学変調され、画像となる。画像は、ミラー2404、2405で反射されてスクリーン2406に映し出される。

【0061】図3(E)に示すのは、ビデオカメラ（撮影装置）の本体2501にビューファインダーと呼ばれる表示装置が備えられた例である。

【0062】ビューファインダーは、大別して液晶表示パネル2502と画像が映し出される接眼部2503とから構成されている。

【0063】図3(E)に示すビデオカメラは、操作ボタン2504によって操作され、テープホルダー2505に収納された磁気テープに画像が記録される。また図示しないカメラによって撮影された画像は液晶表示パネル2502に表示される。また表示装置2502には、

磁気テープに記録された画像が映し出される。

【0064】図3(E)に示すような構成においては、液晶表示パネルにおける表示部（画素領域）以外の占める面積を極力小さくすることが要求される。従って、実施例1で示したような構成を採用することは非常に有用となる。

【0065】

【発明の効果】本明細書で開示する発明を利用することにより、周辺駆動回路を内蔵したアクティブマトリクス型の液晶表示装置において、画素マトリクス回路の領域以外の面積を極力削減した構成を提供することができる。

【0066】そして上記構成を前提として、シール材から受ける圧力によって周辺駆動回路が破壊されてしまわないような構成を提供することができる。

【図面の簡単な説明】

【図1】 発明を利用したアクティブマトリクス型の液晶パネルの断面作製工程を示す図。

【図2】 発明を利用したアクティブマトリクス型の液晶パネルの一断面を示す図。

【図3】 発明を利用した液晶パネルを応用した装置を示す図。

【符号の説明】

101	ガラス基板（または石英基板）
102	半導体層パターン
103	ソース領域
104	チャネル形成領域
105	ドレイン領域
106	ソース領域
107	チャネル形成領域
108	ドレイン領域
109	ゲイト絶縁膜
110	アルミニウムパターン
111、112	ゲイト電極
113、114、115	陽極酸化膜
116	第1の層間絶縁膜（窒化珪素膜）
117	金属膜パターン
118	ソース電極
119	ドレイン電極
120	ソース電極
121	ドレイン電極
122	第2の層間絶縁膜（樹脂膜）
124	チタン膜
125	BM（ブラックマトリクス）
126	第3の層間絶縁膜（樹脂膜）
127	I TOパターン
128	画素電極（I TO）
201	対向基板（ガラス基板または

石英基板)

202

203

204、205

対向電極 (ITO電極)

配向膜

シール材206内のスペーサ

206

207

208

209

10

シール材

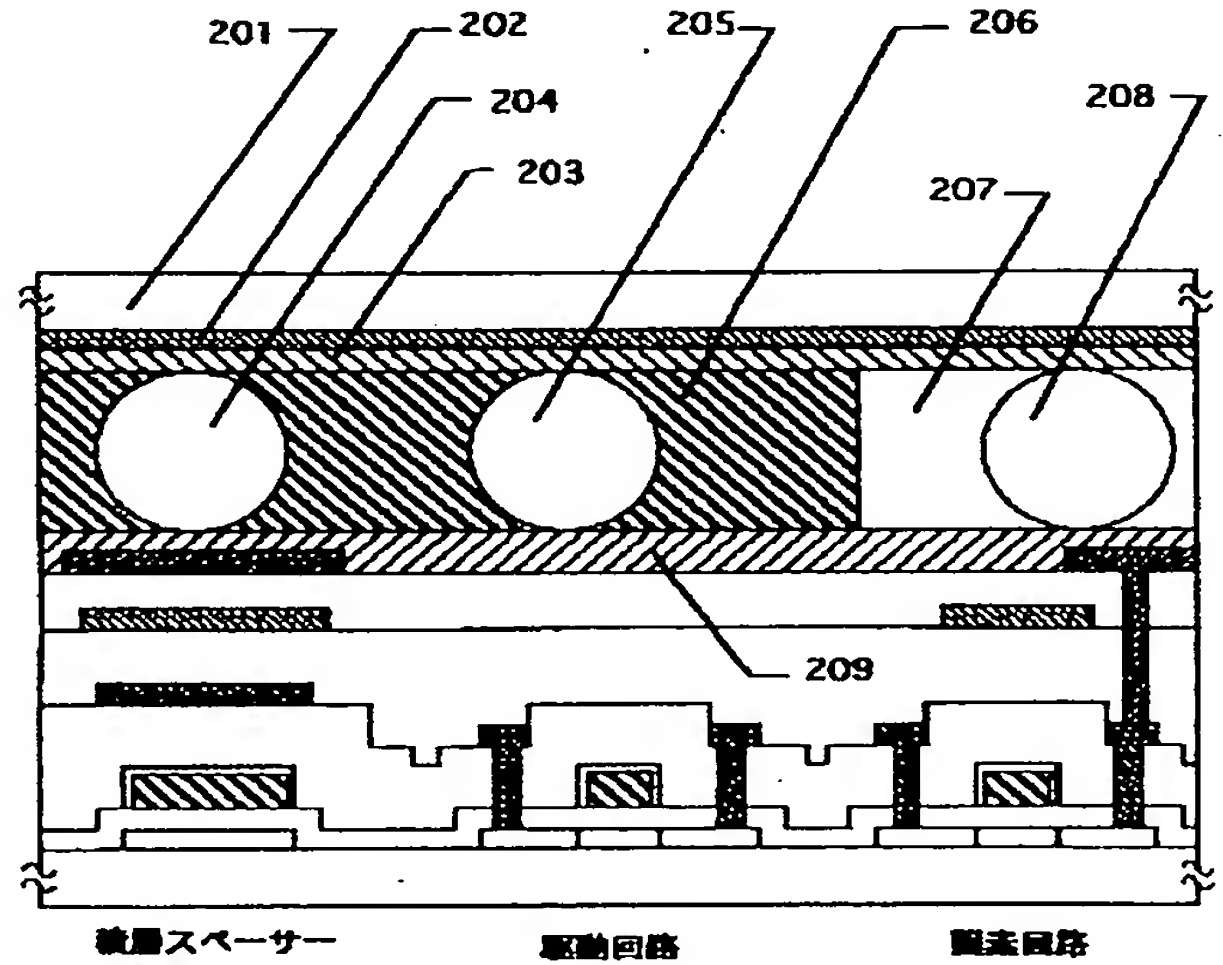
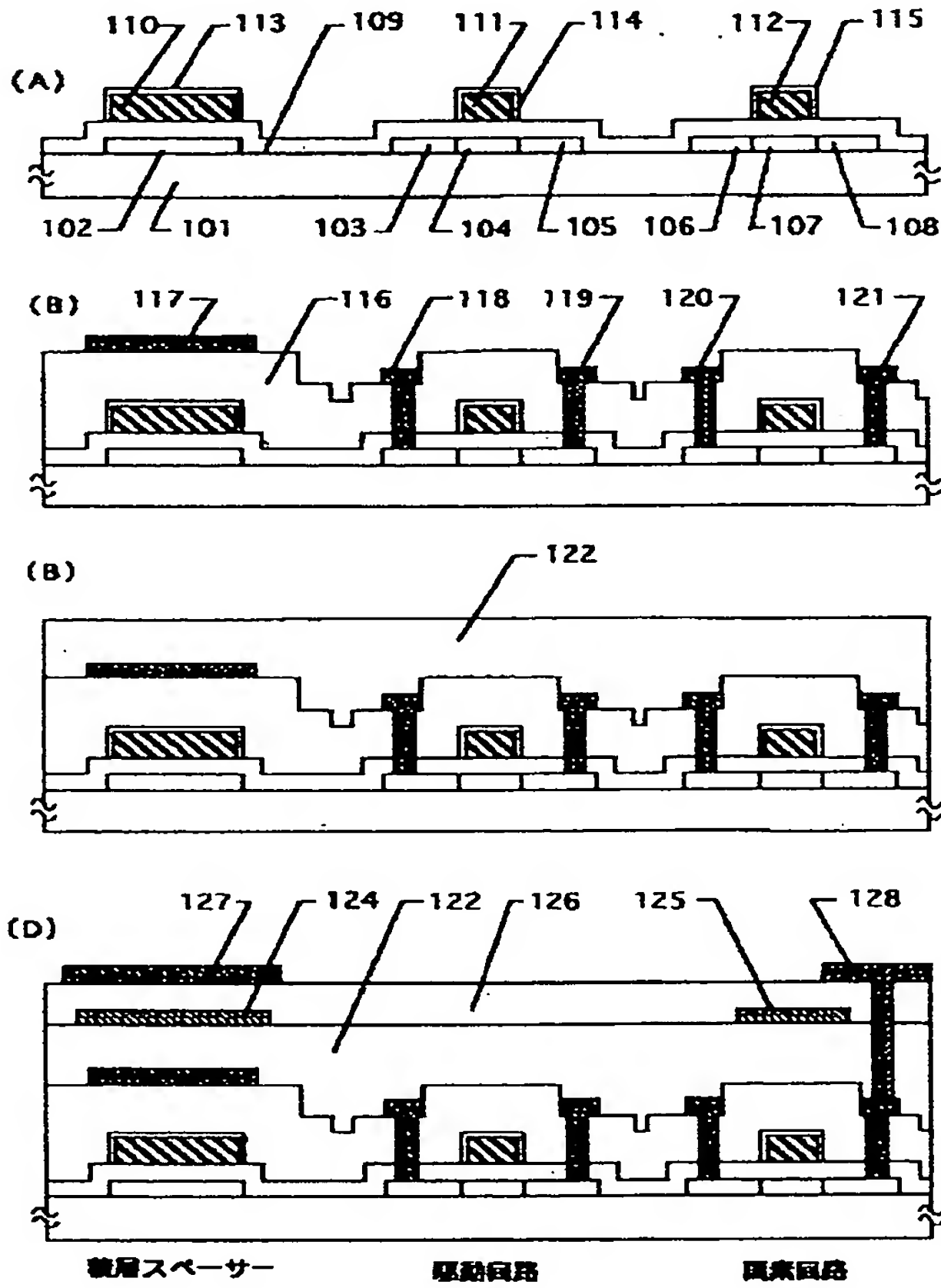
液晶

画素に配置されたスペーサ

配向膜

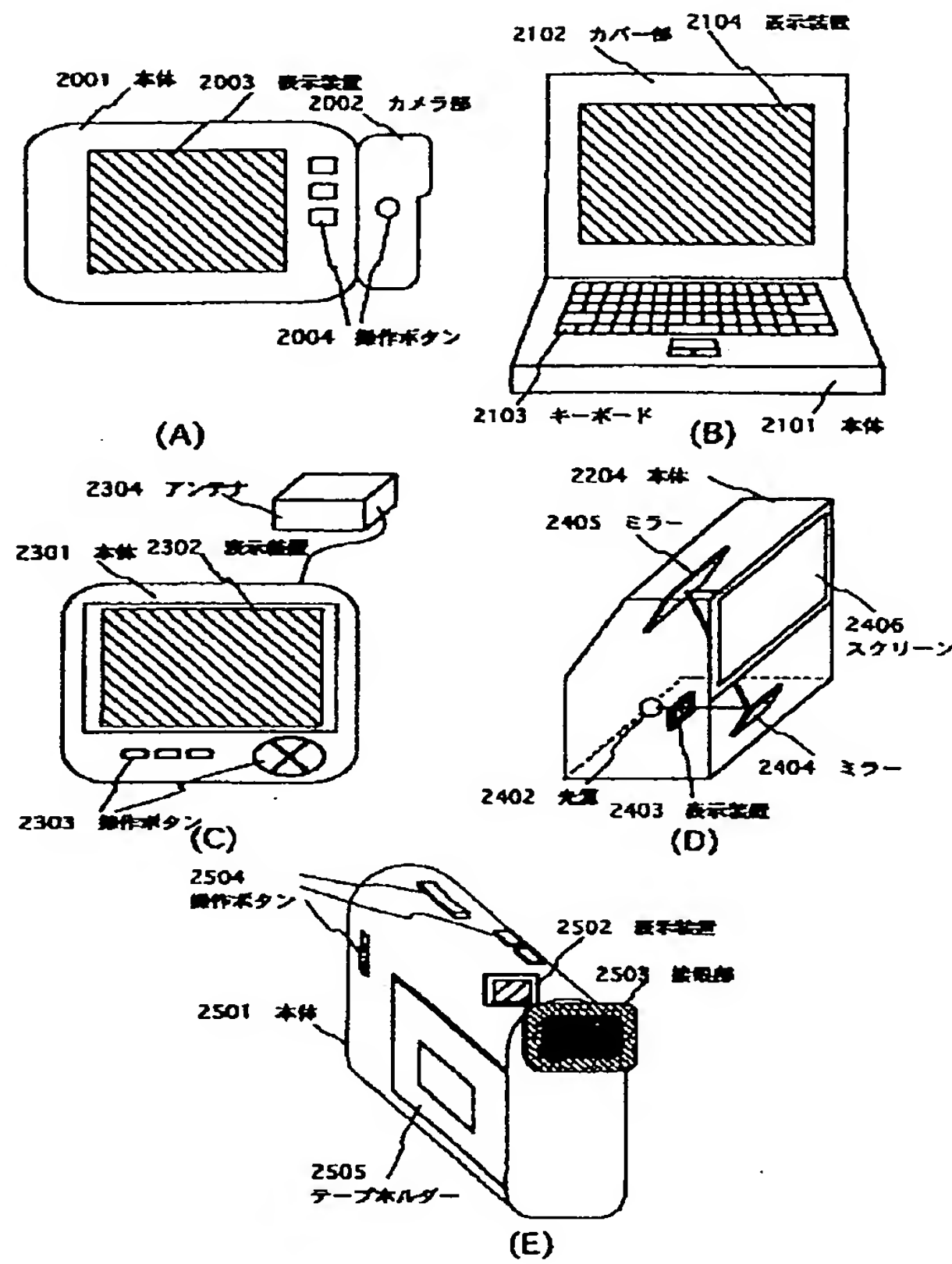
【図1】

【図2】



BEST AVAILABLE COPY

【図3】



BEST AVAILABLE COPY